Міністерство освіти і науки України

Національний університет „Львівська політехніка”

Кафедра ЕОМ



**Звіт**

з лабораторної роботи №3

з дисципліни: “Моделювання комп’ютерних систем”

на тему: “Поведінковий опис цифрового автомата. Перевірка роботи автомата за допомогою стенда Elbert V2 - Spartan 3A FPGA.”

Варіант №10

Виконав:

ст. гр. КІ-201

Кісіль В. І.

Прийняв:

Козак Н.Б.

Львів - 2023

**Мета роботи:**

На базі стенда Elbert V2 - Spartan 3A FPGA реалізувати цифровий автомат для обчислення значення виразу дотримуючись наступних вимог:

1. Функціонал пристрою повинен бути реалізований згідно отриманого варіанту завдання. Дивись розділ ЗАВДАННЯ.
2. Пристрій повинен бути ітераційним (АЛП (ALU) повинен виконувати за один такт одну операцію), та реалізованим згідно наступної структурної схеми (Малюнок 1).

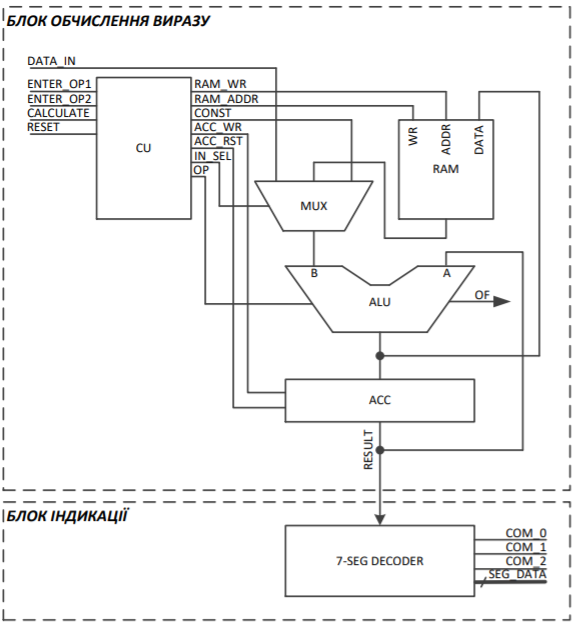


Рис. 1 - Структурна схема автомата.

**Завдання:**

|  |  |
| --- | --- |
| ВАРІАНТ | ВИРАЗ |
| 10 | ((OP2 - OP1 ) <<1) + OP1 |

**Виконання:**

1. Створив файл MUX.vhd.

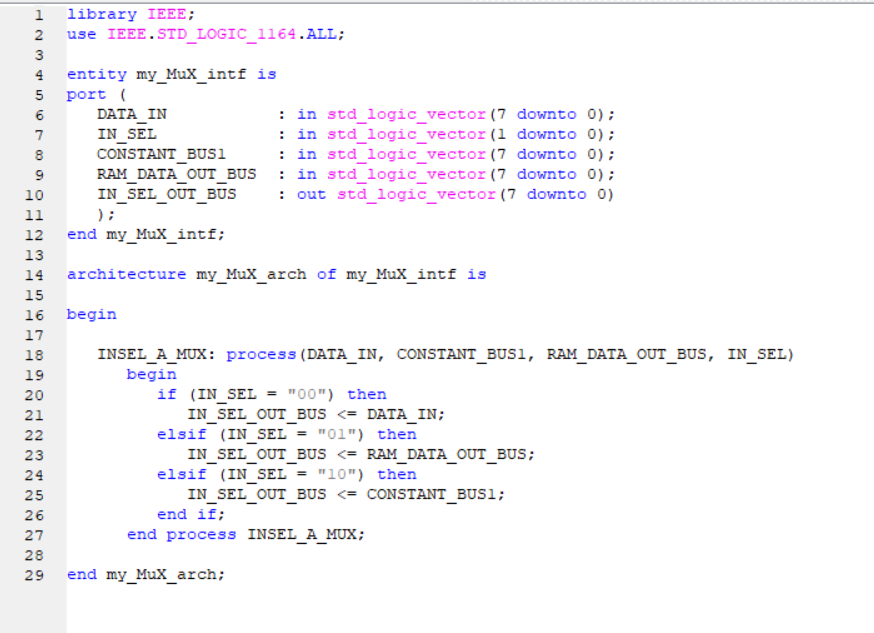
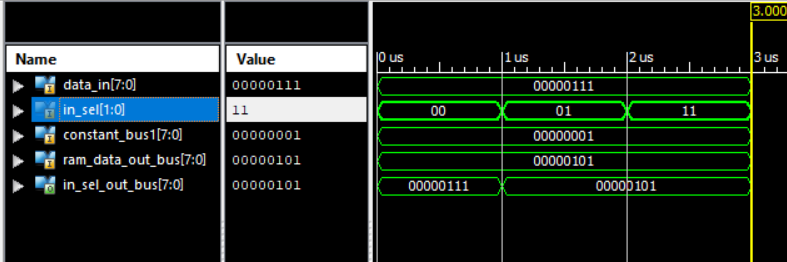


Рис.1.Реалізація мультиплексора у файлі MUX.vhd



Симуляція роботи мультиплексора

1. Створив файл ACC.vhd.

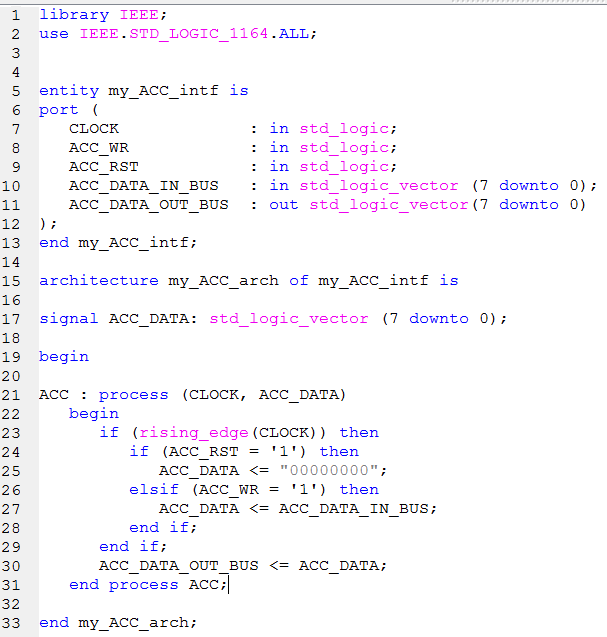
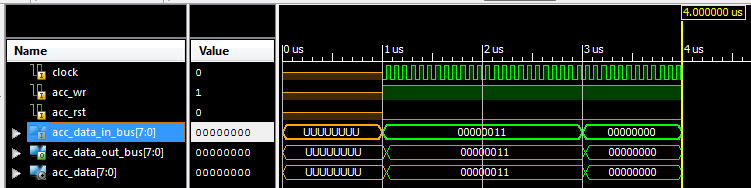


Рис.2.Реалізація регістра ACC у файлі ACC.vhd

******

Симуляція роботи регістра

1. Визначив набір необхідних операцій для виконання виразу згідно свого варіанту і реалізував АЛП(ALU) у файлі ALU.vhd з підтримкою визначеного набору операцій (рис.3).

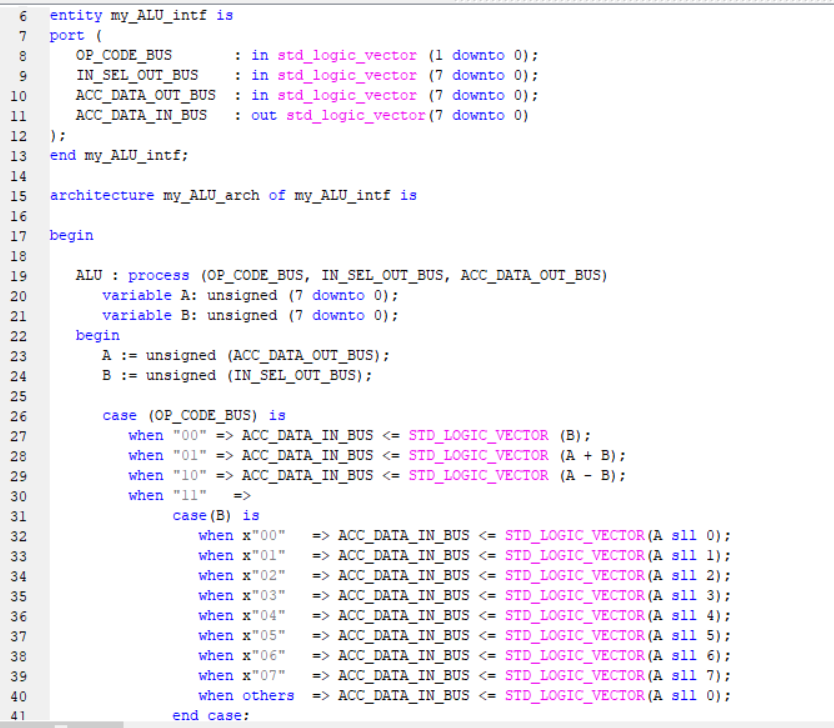
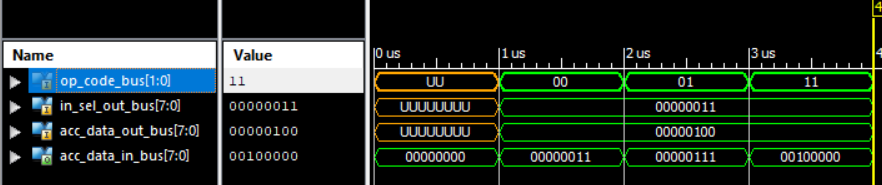
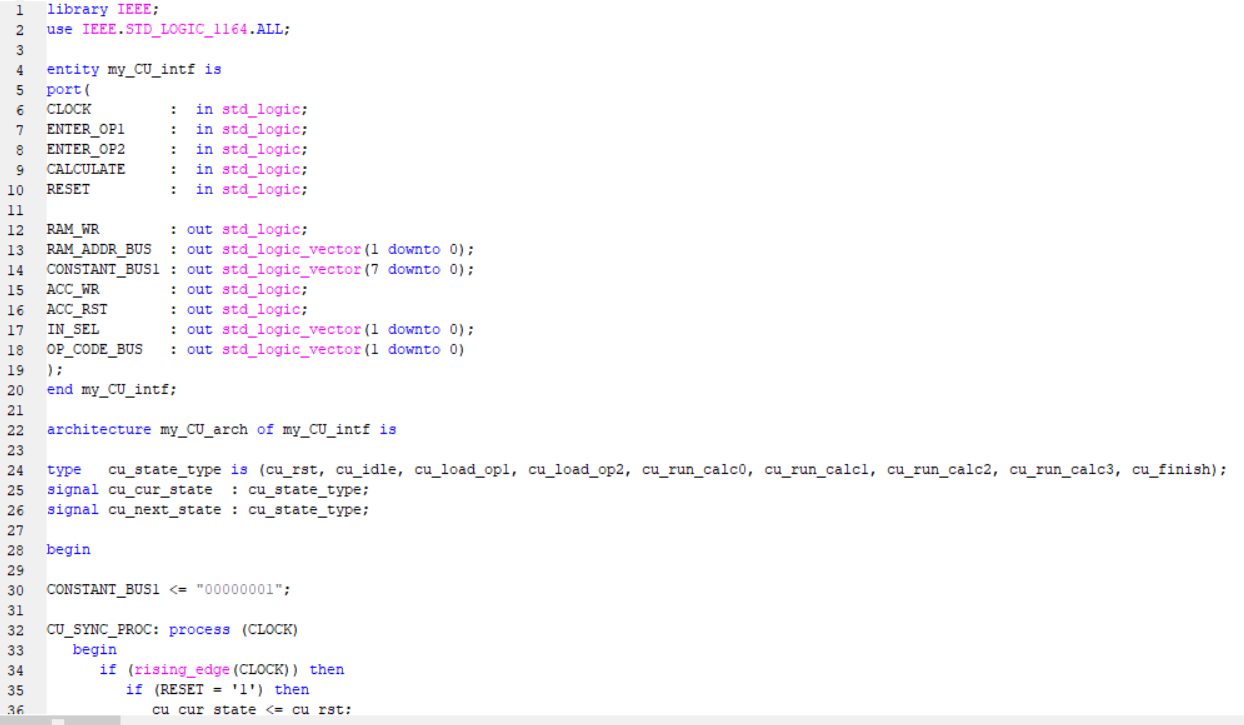


Рис.3.Реалізація АЛП(ALU) у файлі ALU.vhd з підтримкою визначеного набору операцій.

******

Симуляція роботи АЛП

1. Визначив множину станів і реалізував пристрій керування (CU) у файлі CU.vhd.



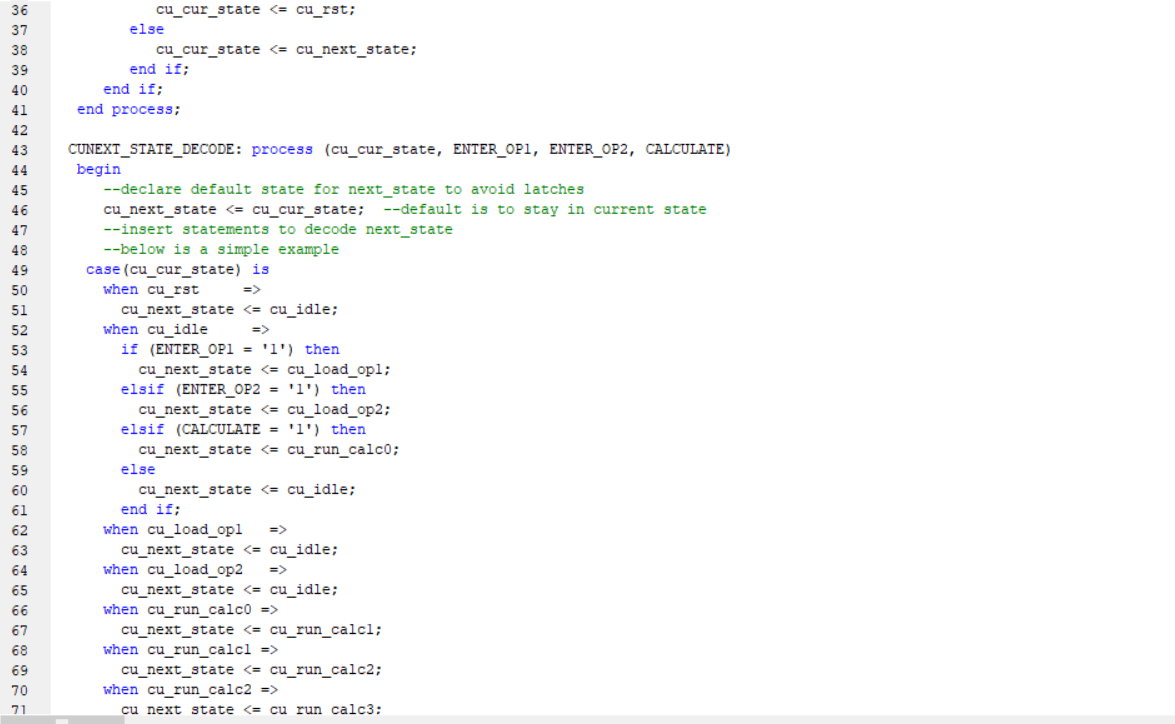
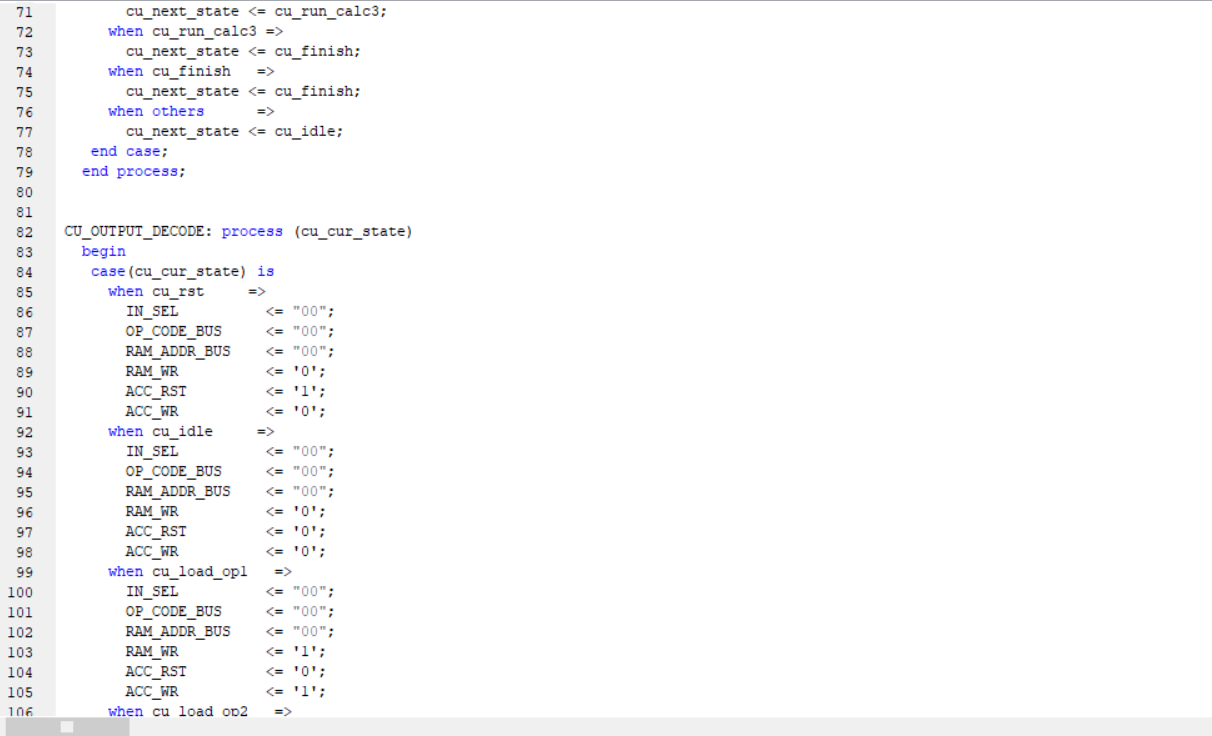
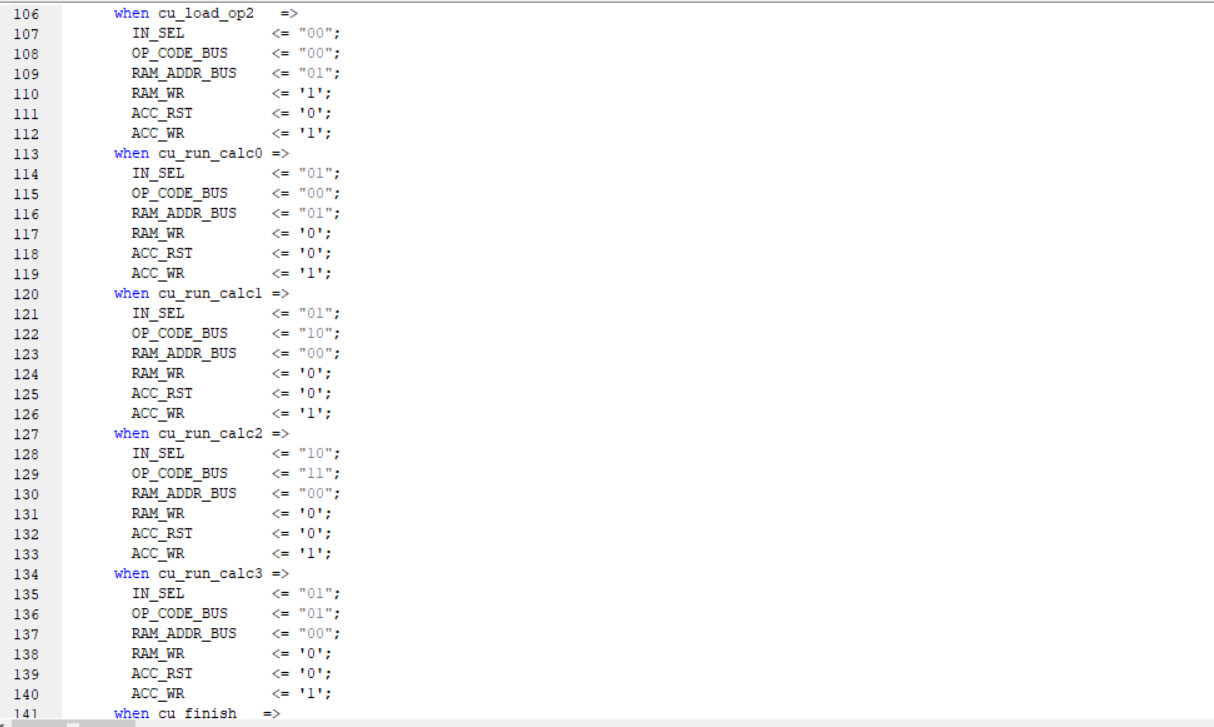
   

Рис.4.Реалізація пристрою керування (CU) у файлі CU.vhd

1. Створив файл RAM.vhd.

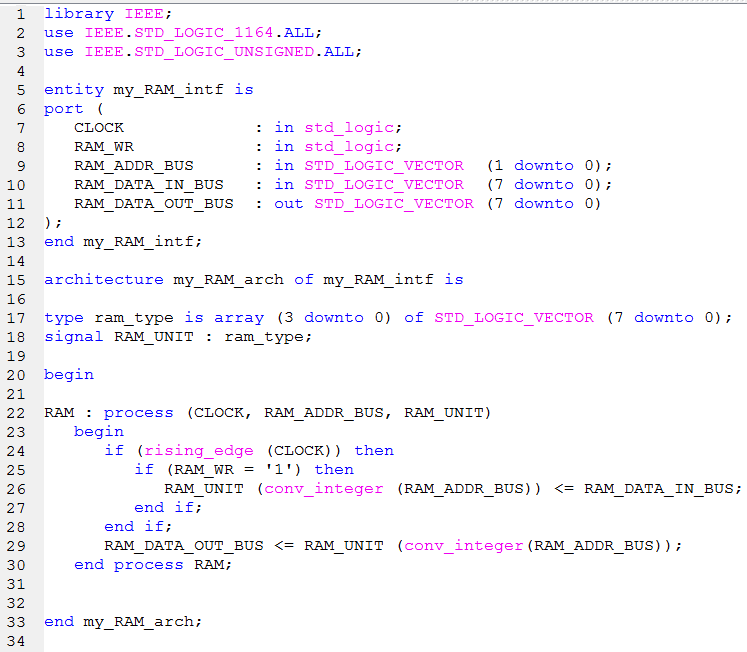
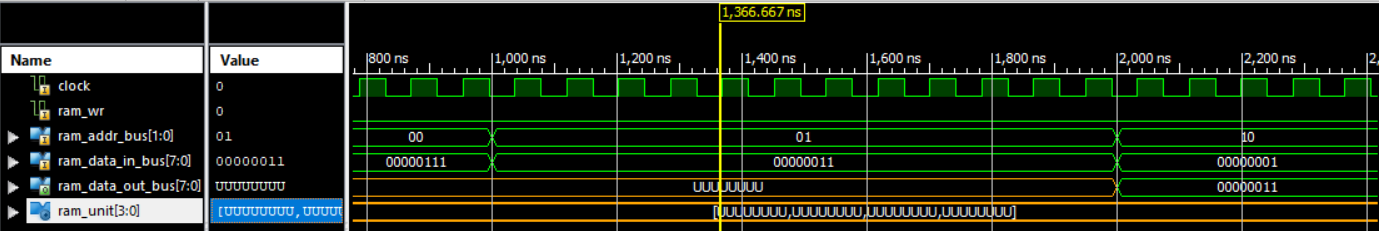
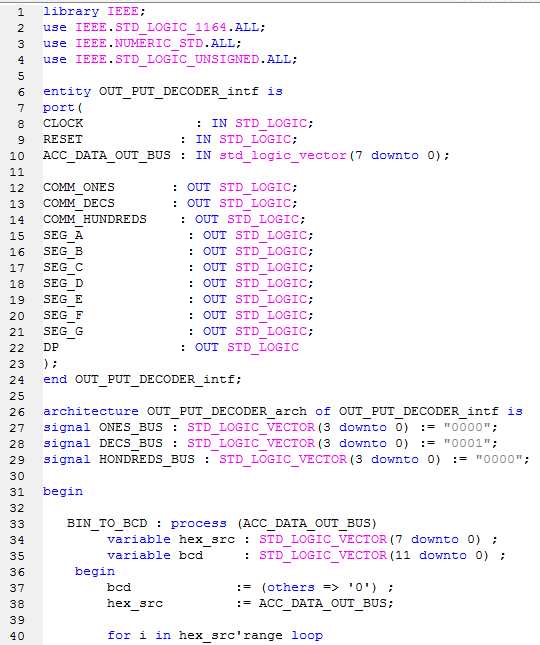


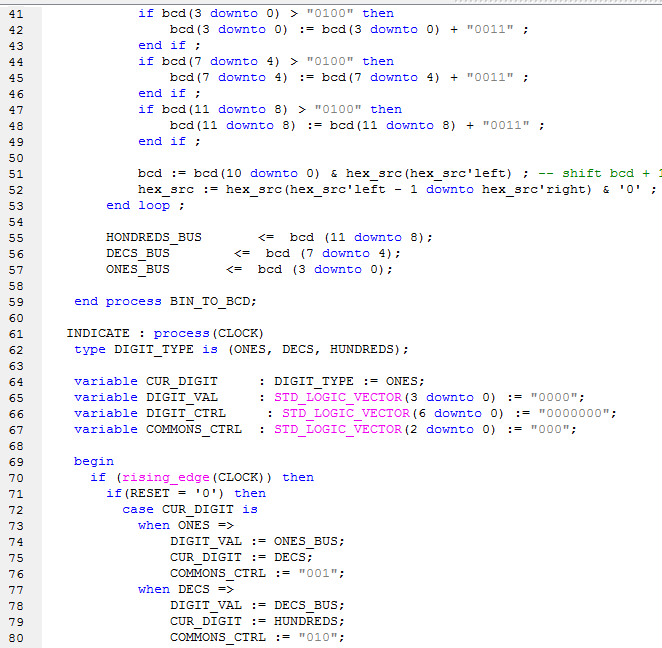
Рис.5.Реалізація пам’яті пристрою (RAM) у файлі RAM.vhd

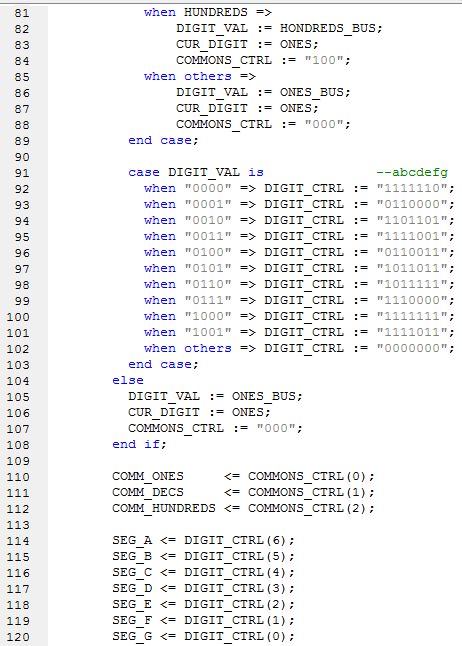


Симуляція роботи RAM

1. Створив файл OUT\_PUT\_DECODER.vhd і реалізував в ньому блок індикації (7-SEG DECODER).







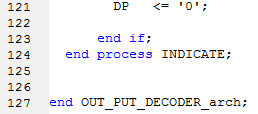


Рис.6.Реалізація блоку індикації (7-SEG DECODER) в файлі OUT\_PUT\_DECODER.vhd

1. Згенерував символи для імплементованих компонентів і створив схему у файлі Top\_level.sch.

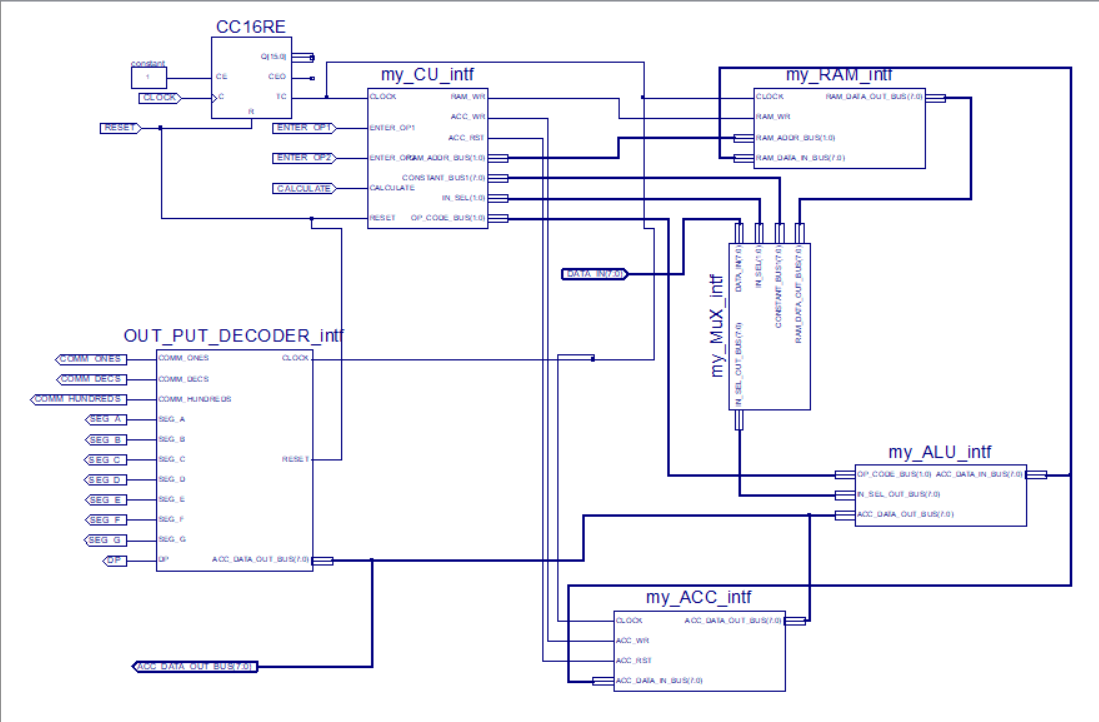
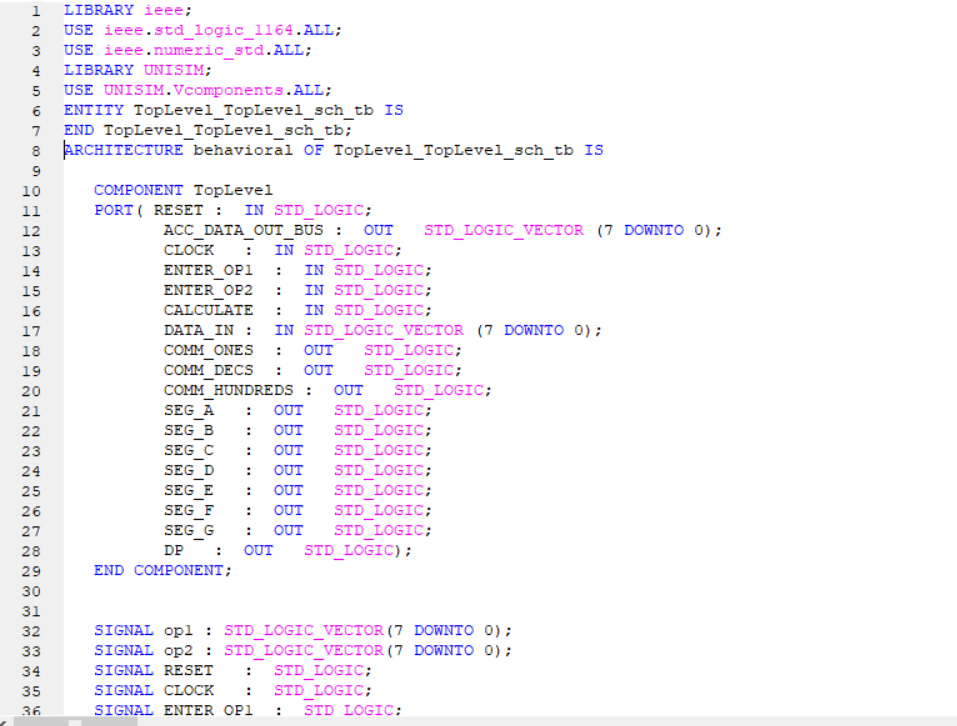
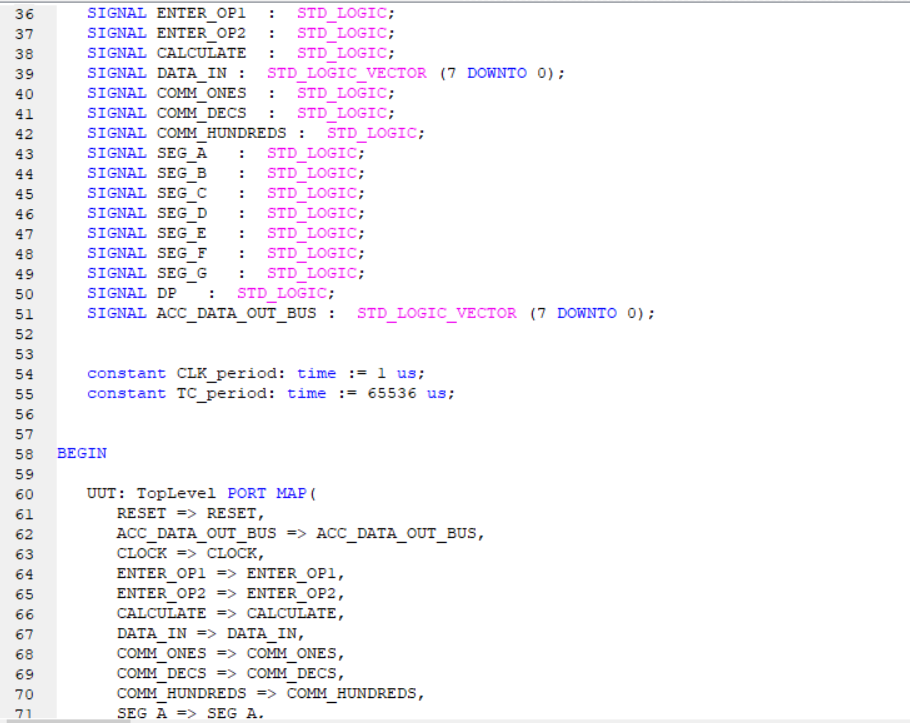
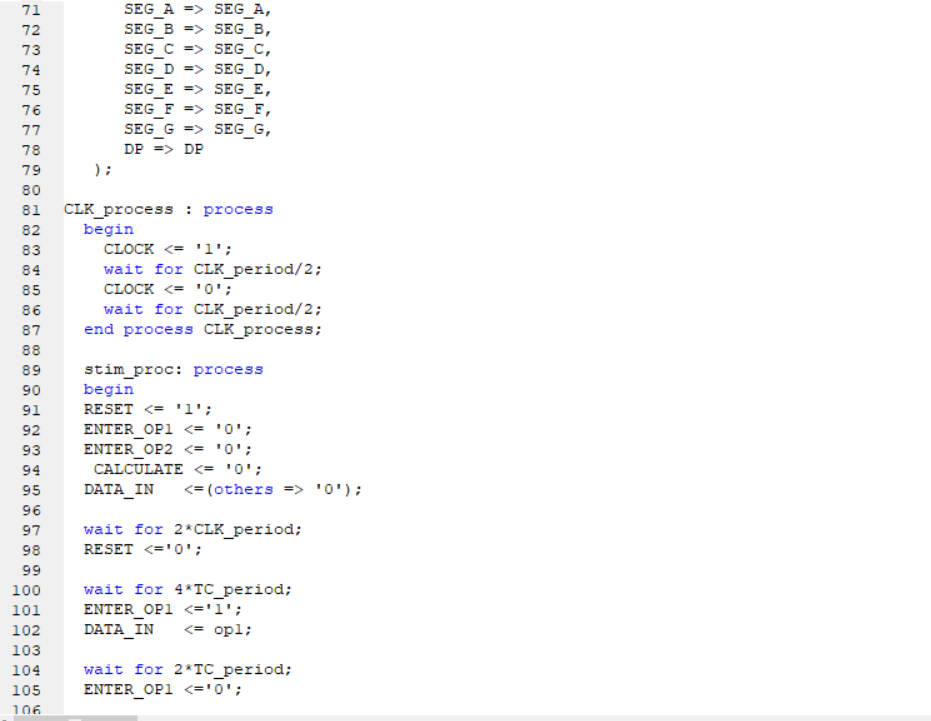
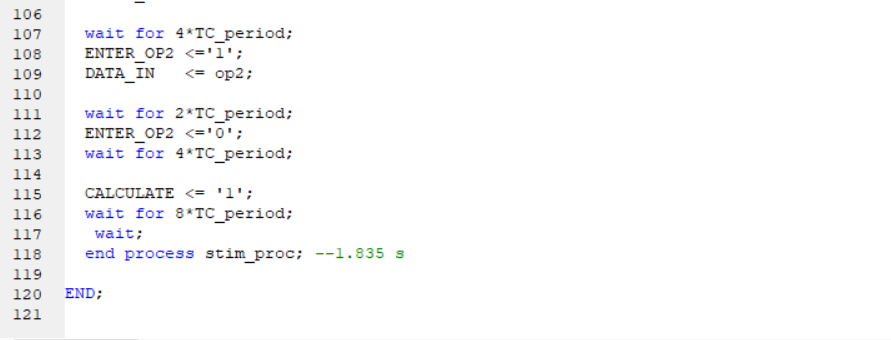
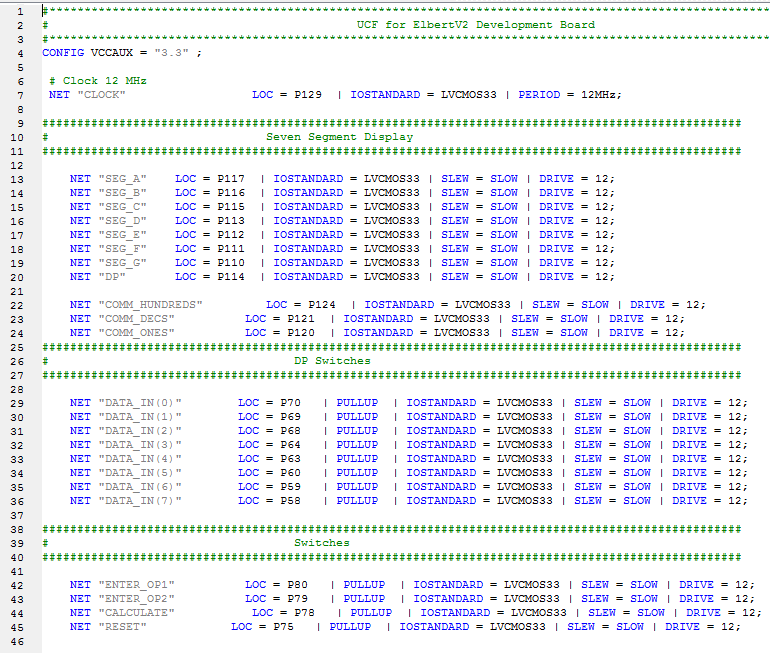


Рис.7.Схема з використанням імплементованих компонентів.

1. *testbench.vhd.*

** **  

1. Constraints

******

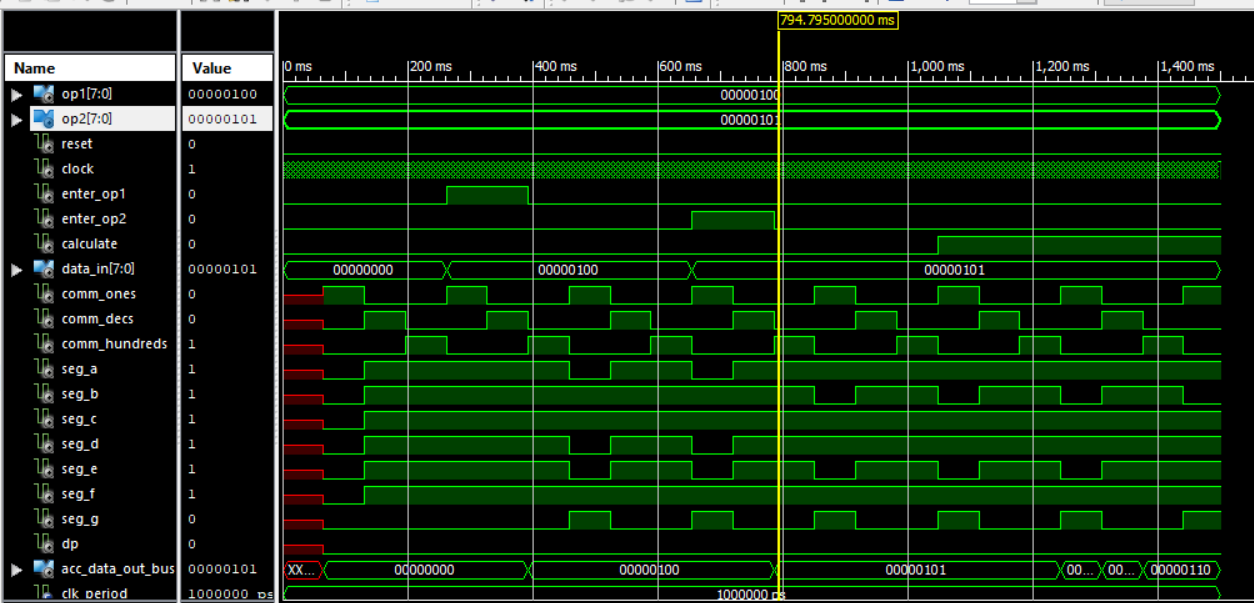
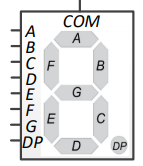


Рис.8. Часова діаграма згідно методичних вказівок.



**Перевірка:**

((OP2 - OP1 ) <<1) + OP1

OP1 => 0000 0100

OP2 => 0000 0101

((0000 0101– 0000 0100) << 0000 0001) + 0000 0100

0000 0101– 0000 0100 = 0000 0001

0000 0001 << 0000 0001= 0000 0010

0000 0010 + 0000 0100 = 0000 0110

**Висновок:**

На цій лабораторній роботі реалізував цифровий автомат для обчислення значення виразу та симулював його роботу.